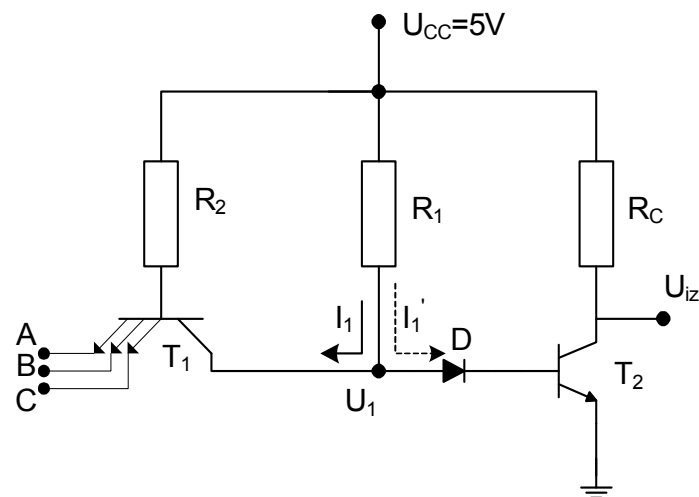


TTL-tehnika

Na slici je prikaza NI sklop s tri ulaza izveden u TTL-tehnici (tranzistorsko-tranzistorska logika).

Dec.	Ulaz			I sklop	NI sklop
	A	B	C	$A*B*C$	$\overline{A*B*C}$
0	0	0	0	0	1
1	0	0	1	0	1
2	0	1	0	0	1
3	0	1	1	0	1
4	1	0	0	0	1
5	1	0	1	0	1
6	1	1	0	0	1
7	1	1	1	1	0



Slika: Tablica stanja i izvedba NI sklopa u TTL-tehnici

U stanju kada je barem jedan od ulaza (A, B, C) ili svi u stanju logičke 0 ($U(0) = U_{CEZAS} = 0,15V$), struja I_1 teče kroz tranzistor T_1 . Struja teče kroz T_1 zato jer je $U_1 = 2U_{CEZAS} = 0,3V$, što znači da je $U_1 < U_\gamma$ te dioda D ne vodi. Kako dioda ne vodi i tranzistor T_2 se nalazi u zapiranju (i on ne vodi) te je na njegovom kolektoru napon U_{CC} , što znači da je na izlazu sklopa napon $U_{iz} = U_{CC} = U(1) = 5V$, tj. napon logičke 1. Samo kada su svi ulazi u stanju logičke 1, tranzistor T_1 ne vodi jer je $U_{BE1} < U_\gamma$ a napon $U_1 > U_\gamma$ te dioda D vodi, a tranzistor T_2 se nalazi u zasićenju (vodi), te na izlazu sklopa imamo napon $U_{iz} = U_{CEZAS} = U(0) = 0,15V$, tj. napon logičke 0.

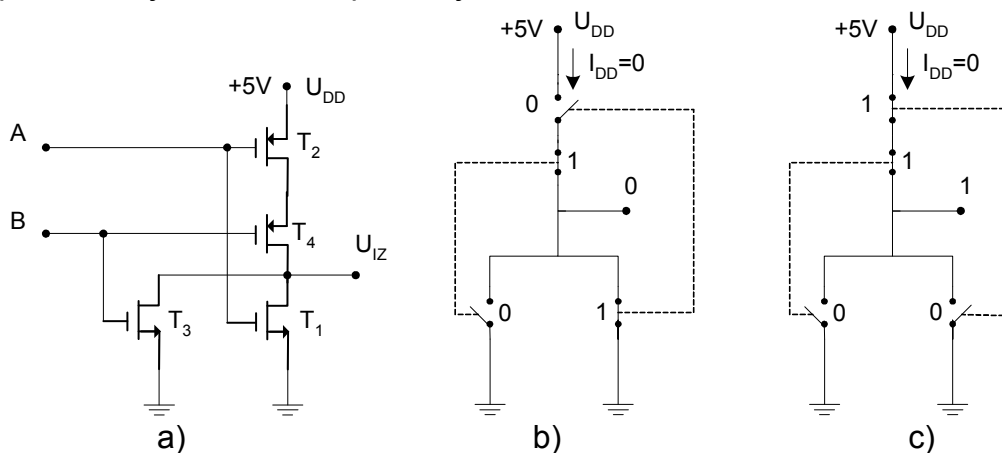
CMOS-tehnika

Komplementarna MOSFET-tehnika koristi na svakom ulazu komplementarni par p-kanalnog i n-kanalnog MOSFET tranzistora, i zbog toga se naziva CMOS ili COSMOS. U imenu ove tehnike izgubio se podatak FET, ali to je samo po sebi jasno da se radi o tranzistorima s efektom polja (unipolarni tranzistori).

Dec.	Ulaz		ILI sklop	NILI sklop
	A	B	$A+B$	$\overline{A+B}$
0	0	0	0	1
1	0	1	1	0
2	1	0	1	0
3	1	1	1	0

Tablica stanja NILI sklopa

Kada je barem jedan ulaz u stanju logičke 1 na izlazu sklopa je logička 0. Neka je npr. ulaz A u stanju logičke 1 a ulaz B u stanju logičke 0. To znači da tranzistor T_1 (n-kanalni MOSFET) vodi a T_2 ne vodi (p-kanalni MOSFET). Na slici b) to je simbolizirano zatvorenim i otvorenim sklopkom. Struja $I_{DD}=0$ a izlazni napon je na masi (u stanju logičke 0). Ako je sada i ulaz A u stanju logičke 0, tada T_2 vodi a T_1 ne vodi, što je simbolizirano sa zavorenim i otvorenim sklopkama na slici c). I u ovom slučaju struja $I_{DD}=0$ a na izlazu je napon U_{DD} (stanje logičke 1). U oba slučaja struja $I_{DD}=0$, ali u stvari teče vrlo mala odvodna struja reda veličine nA. Zbog ovoga ovaj sklop se odlikuje vrlo malom potrošnjom.



Slika NILI sklop u CMOS-tehnici

MULTIVIBRATORI

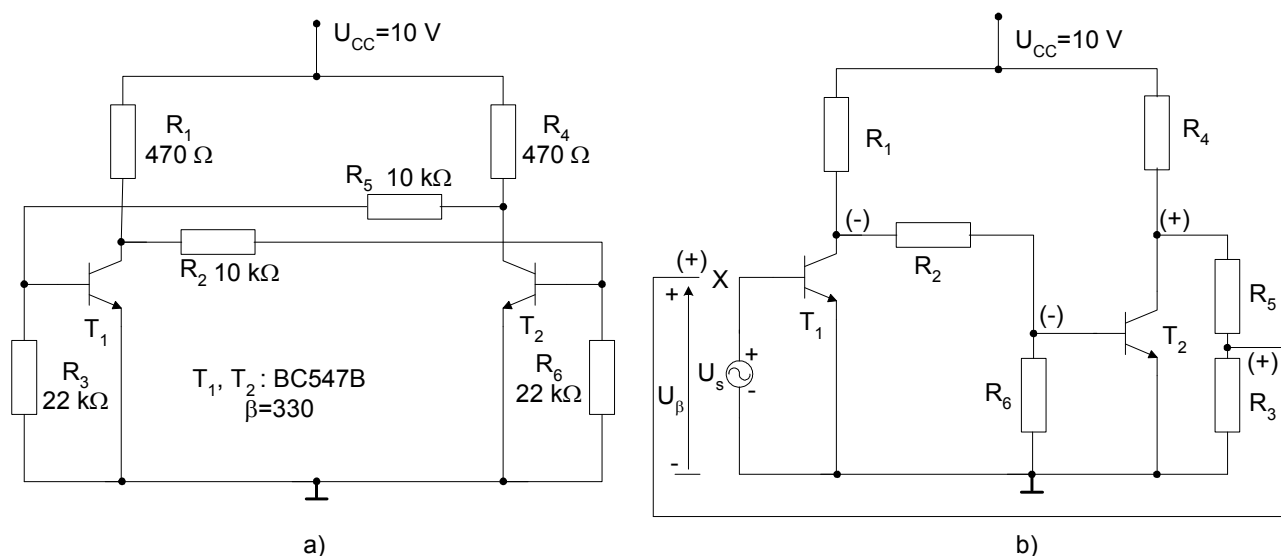
Za generiranje impulsnih signala, tj. naponskog skoka, pravokutnog impulsa i pravokutnog vala upotrebljavaju se sklopovi koji se nazivaju multivibratori. U ovom poglavlju bit će razmatrani:

1. bistabilni multivibrator (bistabil),
2. monostabilni multivibrator (monostabil),
3. astabilni multivibrator (astabil) i
4. emiserski vezani bistabil (Schmittov bistabil).

Bistabilni multivibrator

Bistabil je sklop koji ima dva stabilna stanja (i otuda mu naziv), a sastoji se iz dva tranzistora koji su tako spojeni da čine pojačalo s dva stupnja s istosmjernom spregom i veoma jakom pozitivnom povratnom vezom (slika 4.2.1 a)). To se može lakše uočiti ako se bistabil nacрта prema slici 4.2.1 b).

Ovaj sklop se može upotrijebiti za generiranje naponskog skoka. Također bistabil predstavlja osnovni memorijski element (SRAM). Ovaj sklop se može primjeniti i za dijeljenje frekvencije ulaznih impulsa s 2 (frequency divider), kao i za binarno brojanje do 2 (binary counter up to 2).



Slika 4.2.1 a) Osnovni sklop bistabila b) Prikaz sklopa preko pozitivne povratne veze

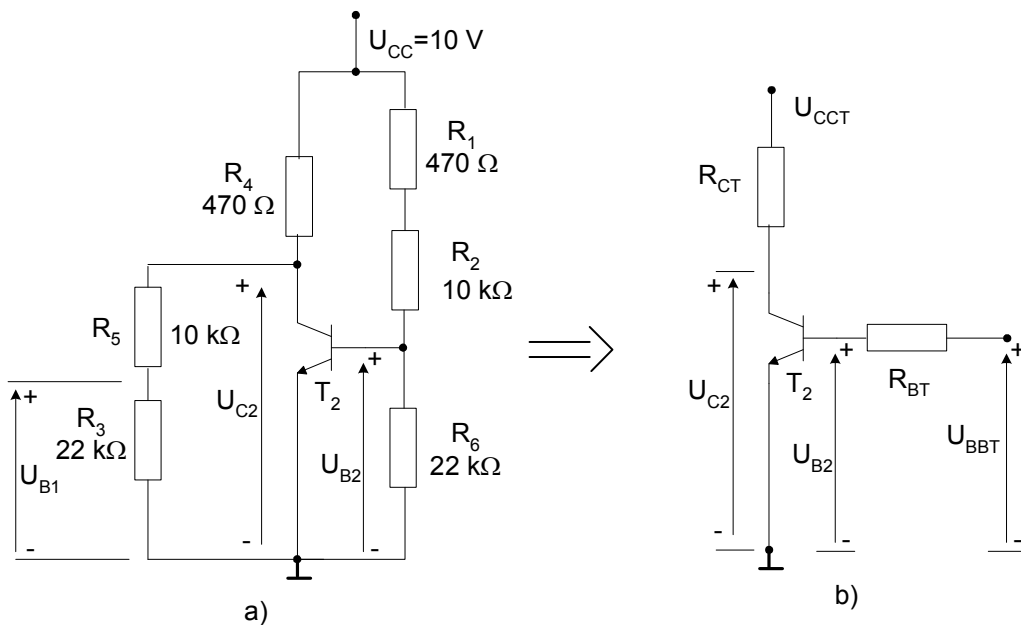
Signal na ulazu U_s u pojačalo pojačava se preko dva stupnja i vraća se na ulaz s istom fazom. Povratna veza je, dakle, pozitivna, a pojačanje u petlji povratne veze U_β/U_s je puno veće od 1. Veliko pojačanje u petlji povratne veze ne dozvoljava da sklop oscilira, već dovodi do toga da jedan tranzistor (T_2) vodi, dok drugi tranzistor (T_1) ne vodi. Regenerativnost (mogućnost osciliranja) sklopa dolazi do izražaja samo u trenutku kada se sklop na vanjski poticaj prebacuje u novo stanje, u kojem se uloge tranzistora T_1 i T_2 izmijene.

4.2.1.1 Statički uvjeti rada bistabila

Bistabil je nesimetričan sklop koji ima svojstvo da, kada tranzistor T_1 ne vodi, tranzistor T_2 vodi, i obratno. Pri tome odabiremo takav način rada da se tranzistor, koji vodi, nalazi u zasićenju. Pretpostavimo:

- T_2 vodi i nalazi se u zasićenju :
 - ✓ $U_{BE2} = U_{BEzasićenja} = 0.7V$
 - ✓ $U_{CE2} = U_{CEzasićenja} = 0.15V$
 - ✓ Struje I_{B2} i $I_{C2} = ?$ **Treba ih izračunati!**
- T_1 ne vodi:
 - ✓ $U_{BE1} < U_{\square} = 0.5V$
 - ✓ Struje $I_{B1} = I_{C1} = 0$.

Struje tranzistora koji vodi (T_2), proračunavamo na način da iz sklopa uklonimo one elemente koji ne utiču na rad sklopa, uklonimo tranzistor T_1 jer ne vodi, a preostali dio sklopa pojednostavimo (slika 4.2.2).



Slika 4.2.2 a) Sklop bez tranzistora T_1 koji ne vodi b) Nadomjesni Theveninov sklop

Gledamo li sa kolektora tranzistora T_2 prema vani (slika 4.2.2 a)) vidimo otpor R_4 paralelno sa otporom ($R_5 + R_3$), što primjenom Theveninovog teorema daje:

$$U_{CCT} = U_{CC} \cdot \frac{R_3 + R_5}{R_3 + R_4 + R_5} = 9,86 V,$$

$$R_{CT} = R_4 // (R_3 + R_5) = \frac{R_4 \cdot (R_3 + R_5)}{R_3 + R_4 + R_5} = 0,46 k\Omega.$$

Gledamo li sa baze tranzistora prema mreži otpora, vidimo otpor R_6 paralelno s otporom ($R_1 + R_2$) što primjenom Theveninovog teorema daje:

$$U_{BBT} = U_{CC} \cdot \frac{R_6}{R_1 + R_2 + R_6} = 6,77 \text{ V},$$

$$R_{BT} = R_6 // (R_1 + R_2) = \frac{R_6 \cdot (R_1 + R_2)}{R_1 + R_2 + R_6} = 7,1 \text{ k}\Omega.$$

Sada se struje tranzistora T_2 lako mogu izračunati:

$$I_B = \frac{U_{BBT} - U_{BEZAS}}{R_{BT}} = 0,86 \text{ mA},$$

$$I_C = \frac{U_{CCT} - U_{CEZAS}}{R_{CT}} = 21 \text{ mA}.$$

Nakon ovoga treba provjeriti da je zadovoljen uvjet zasićenja:

$$\beta \cdot I_B > I_C, \quad 330 \cdot 0,86 = 284 \text{ mA} > 21 \text{ mA}, \quad T_2 \text{ vodi}.$$

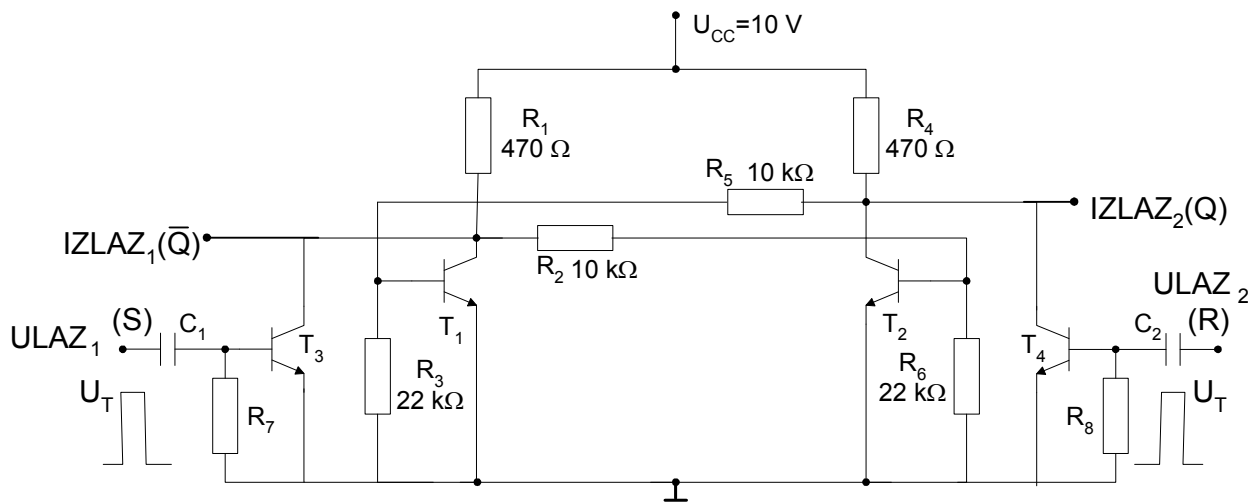
Nakon što smo jednadžbama provjerili da se tranzistor T_2 nalazi u zasićenju, treba provjeriti da tranzistor T_1 ne vodi:

$$U_{BE1} = U_{CEZAS} \cdot \frac{R_3}{R_3 + R_5} = 0,1 \text{ V} < U_\gamma, \quad T_1 \text{ ne vodi}.$$

4.2.1.2 Promjena stanja bistabila

Bistabil ostaje u jednom stanju, sve dok ga vanjskim impulsom ne prebacimo u suprotno stanje. Taj vanjski impuls se naziva okidni impuls, a pojava se naziva okidanje. Ima više načina okidanja bistabila, a ovdje će biti opisano okidanje pomoću dva dodatna tranzistora. Neka na slici 4.2.3 vodi tranzistor T_2 . To stanje želimo promijeniti, tj. želimo da provede tranzistor T_1 a da T_2 prestane voditi.

Pridodani tranzistori T_3 i T_4 ne vode jer su im baze spojene preko otpora R_7 i R_8 na masu pa je napon $U_{be} = 0 < U_\gamma$. Privedemo li kratkotrajni pozitivni impuls U_T na ulaz 1, provede tranzistor T_3 što dovede do pada napona na otporu R_1 , tj. napon kolektora U_{C1} i U_{C3} (jer su kolektori tranzistora T_1 i T_3 spojeni na istu točku) padne do $U_{CEZAS} = 0.15\text{V}$. Taj negativni skok se prenese na bazu tranzistora T_2 i taj tranzistor prestane voditi, napon kolektora U_{C2} ide prema naponu U_{CC} i za sobom "vuče" napon baze U_{B1} prema pozitivnim vrijednostima (većim od napona U_γ) i tranzistor T_1 provede, što znači da je cilj je postignut (T_1 vodi). Istovremeno, vođenje tranzistora T_1 podržava nevođenje tranzistora T_2 koje je izazvao okidni impuls na ulazu 1. Od ovog trenutka dalje prebacivanje bistabila je završeno, jer T_1 vodi, a T_2 ne vodi i okidni impuls može iščeznuti.

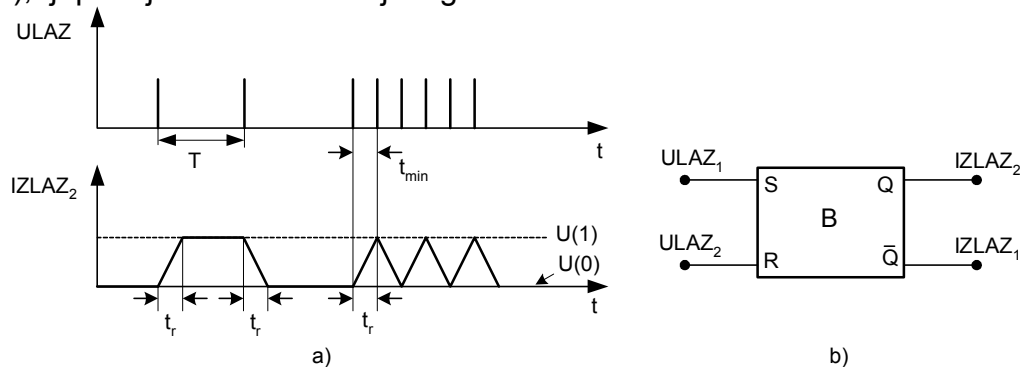


Slika 4.2.3 Promjena stanja bistabila pomoću tranzistora T_3 i T_4

Vratimo se na početno stanje prema slici i razmotrimo utjecaj okidnog impulsa U_T na ulazu 2. Taj impuls ne bi izazvao nikakvu promjenu u bistabilu (jer tranzistor T_2 vodi), i napon $U_{CE2} = U_{CEZAS}$ i pozitivni impuls na bazi T_4 samo bi potvrdio postojeće stanje. Impuls na ulazu 2 dolazi do izražaja samo kada tranzistor T_2 ne vodi.

Bistabil se ne prebacuje iz jednog u drugo stanje skokom, već mu za to treba neko vrijeme koje se naziva *vrijeme prebacivanja*. Prema slici 4.2.4 a) izlazni napon ima dva stanja:

- kada tranzistor vodi izlazni napon je U_{CEZAS} i taj napon nazivamo naponom $U(0)$, tj. pridajemo mu značenje logičke 0,
- kada tranzistor ne vodi, izlazni napon je pozitivan i nazivamo ga naponom $U(1)$, tj. pridajemo mu značenje logičke 1.



Slika 4.2.4 a) Prikaz izlaznog napona bistabila **b)** Shematski prikaz bistabila

Prijelaz iz logičke 0 u 1 i obrnuto traje t_r sekundi pa se zato naziva vrijeme prebacivanja. Sa slike 4.2.4 a) je vidljivo da minimalni razmak između dva okidna impulsa može biti t_r , tj. vrijedi:

$$T_{MIN} \geq t_r,$$

što znači da dva susjedna okidna impulsa trebaju biti razmaknuta za t_r sekundi, iz čega slijedi da je maksimalna frekvencija ulaznih impulsa (brzina rada bistabila):

$$f_{MAX} = \frac{1}{t_r}.$$

Bistabil je sklop koji ima veoma raširenu primjenu te se simbolički prikazuje blok shemom prema slici 4.2.4 b). Ulaz S (engl. SET - postaviti, upisati) odgovara ulazu 1 sa slike 4.2.3. Okidni impuls doveden na S ulaz dovodi do toga da tranzistor T_2 ne vodi te je na izlazu 2 visoki napon $U(1)$, odnosno izlaz $Q = 1$ a $\bar{Q} = 0$. Okidni impuls doveden na ulaz R (engleski RESET - poništiti, izbrisati) postavlja izlaz $Q = 0$ a $\bar{Q} = 1$.

Trenuci u kojima djeluje okidni impulsi mogu se kontrolirati taktnim signalom C_p (Clock Pulse). Opisani bistabil se naziva RS bistabil. Svi drugi bistabili upotrebljavaju ovaj bistabil u svojoj osnovici. Ostali standardni bistabili su JK, T i D bistabili. U digitalnoj elektronici upotrebljavaju se integrirane izvedbe bistabila. Postoji vrlo veliki izbor različitih tipova bistabila izvedenih u TTL i CMOS tehnici.

4.2.1.3 Izravno vezani bistabil

Opisat ćemo još takozvani izravno vezani bistabil koji se zbog svoje jednostavnosti i veoma male potrošnje koristi kao osnovni element poluvodičkih memorija koje su našle primjenu u suvremenim računalima. Prema slici 4.2.5 izravno vezani bistabil ima samo otpore R_C u kolektorima, kolektor tranzistora T_1 je izravno vezan na bazu tranzistora T_2 (otuda i naziv sklopu), i obrnuto kolektor T_2 je izravno vezan na bazu T_1 . U stanju kada tranzistor T_2 vodi napon baze je $U_{BEZAS} = 0,7V$ i napon kolektora $U_{CEZAS} = 0,15V$. Ovaj napon sa kolektora T_2 vlada i na bazi tranzistora T_1 pa prema tome tranzistor T_1 ne može voditi, jer je napon njegove baze manji od zapornog napona: $U_{BE1} = U_{CEZAS2} = 0,15V < U_\gamma = 0,5V$.

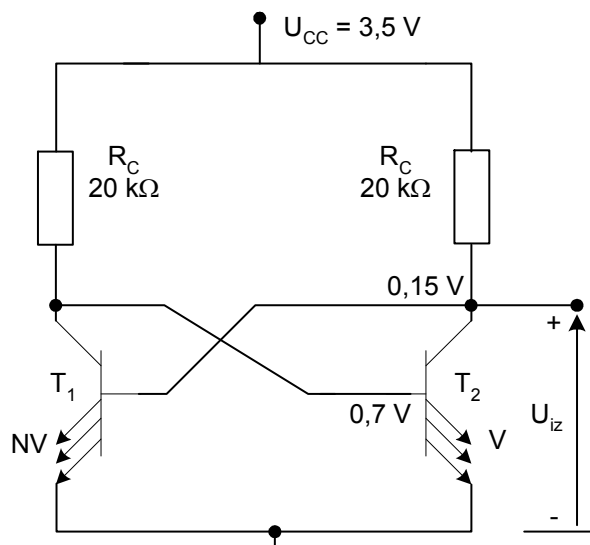
Potrošnja ovog bistabila iznosi samo 1 mW, jer kroz granu baze teče struja

$$I_B = \frac{3,5 - 0,7}{20 \cdot 10^3} = 0,14mA$$

a kroz granu kolektora

$$I_C = \frac{3,5 - 0,15}{20 \cdot 10^3} = 0,167mA$$

što daje ukupni potrošak od $P = (I_B + I_C)U_{CC} = 0,307(mA) \cdot 3,5(V) = 1mW$.



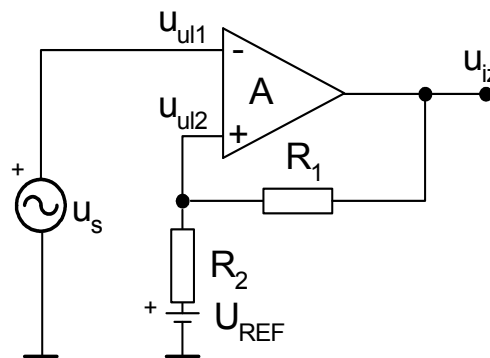
Slika 4.2.5 Izravno vezani bistabil

Na slici 4.2.5 svaki tranzistor ima po tri emitera. Jedan emiter je spojen prema slici, a druga dva se koriste za upravljanje s radom memorije. Međutim, izravno vezani bistabil ima malen hod izlaznog napona: $U_{iz} = U_{CEzas} = 0,15V$ kada tranzistor vodi i $U_{iz} = U_{BEzas} = 0,7V$ kada tranzistor ne vodi, pa je ukupni hod na izlazu samo 0,55V što je prikladno samo za neke primjene. Ovaj tip bistabila je veoma ekonomičan, jer zbog samo dva otpora i dva tranzistora zauzima malo prostora. Potrošnja je također malena, a ima i izravno vezanih bistabila koji troše samo nekoliko μW .

Schmittov bistabil u izvedbi s operacijskim pojačalom

Schmittov bistabil je sklop s dva stabilna stanja i koristi se za razlučivanje signala po amplitudi, zbog čega se još zove i regenerativni komparator ili diskriminator. Za prijelaz iz jednog u drugo stabilno stanje ovaj sklop treba na svom ulazu ulazni signal ali za razliku od ranije opisanog bistabila to nije kratkotrajni impuls, već bilo koji naponski signal $u(t)$. Sklop ima neki referentni napon U_{REF} na ulazu i dvije razine izlaznog napona U_{NISKO} i U_{VISOKO} . Kada je signal na ulazu manji od referentnog napona, izlaz je u stanju U_{NISKO} , a kada je signal veći od referentnog napona, izlaz je u stanju U_{VISOKO} . Sklop može biti izveden u tranzistorskoj i integriranoj tehnici. Ako se izvodi u tranzistorskoj tehnici na prvi pogled se vidi da se radi o diferencijalnom pojačalu, koje umjesto signala u_{s2} ima bazu tranzistora T_2 spojenu na kolektor tranzistora T_1 . Ova veza omogućava djelovanje pozitivne povratne veze. Sada će biti opisan izvedba ovog sklopa s operacijskim pojačalom.

Referentna razina može imati bilo koji iznos, što znači da se sa sklopom može registrirati prolaz ulaznog signala kroz nulu ($U_{ref} = 0$), odnosno kroz bilo koji pozitivni ili negativni referentni napon.



Uzmimo da je izlazni napon $U_{CC} = U_{visoko}$, tada je napon neinvertirajućeg ulaza jednak:

$$u^{+}_{ul2} = U_{CC} \cdot \frac{R_2}{R_1 + R_2} + U_{REF} \cdot \frac{R_1}{R_1 + R_2}$$

sve dok je napon signala $u_s < u_{ul2}$ sklop ostaje u opisanom stanju. Kada postane $u_s = u^{+}_{ul2} + \Delta u$, izlazni napon promijeni predznak i postane jednak $-U_{EE}$ (U_{NISKO}), a ulazni napon postane jednak:

$$u^{-}_{ul2} = -U_{EE} \cdot \frac{R_2}{R_1 + R_2} + U_{REF} \cdot \frac{R_1}{R_1 + R_2}$$

Sklop ostaje u tom stanju sve dok je napon $u_s > u_{ul2}$. Kada postane $u_s = u^{-}_{ul2} - \Delta u$, izlazni napon ponovo promijeni predznak.

Prijenosna karakteristika ovog sklopa ima petlju histereze, te je napon histereze:

$$U_H = u^{+}_{ul2} - u^{-}_{ul2} = 2 \cdot U_{CC} \cdot \frac{R_2}{R_1 + R_2}$$